



IPC-7093 CN

底部端子元器件(BTC)设计和组装工艺的实施

If a conflict occurs between the English and translated versions of this document, the English version will take precedence.

本文件的英文版本与翻译版本如存在冲突，以英文版本为优先。

由IPC组装与连接工艺委员会(5-20)
IPC底部端子元器件(BTC)任务组(5-21h)
开发；由IPC TGA Asia 5-21hCN技术组翻译

鼓励本标准的使用者参加未来修订版的开发。

联系方式：

IPC
3000 Lakeside Drive
Suite 309S
Bannockburn, Illinois
60015-1249
Tel 847 615.7100
Fax 847 615.7105

IPC 中国
电话：400-621-8610
+86-21-2221-0000
邮箱：BDACHina@ipc.org
网址：www.ipc.org.cn
上海 青岛 深圳 北京 苏州 成都

目 录

1 范围	1	4.5.3 标记选择	26
1.1 目的	1	4.5.4 使用的材料	27
1.2 内容	1	4.6 市场产品变化说明	27
2 适用文件	1	4.6.1 MLF®, MLP和MLFP™元器件的详细说明 ..	27
2.1 IPC	1	4.6.2 LLC™和LFCSP™元器件详细说明	29
2.2 JEDEC	1	4.7 封装和搬运	31
3 标准选择和BTC实施管理	2	5 安装结构	32
3.1 术语及定义	2	5.1 安装结构的类型	32
3.1.1 底部端子元器件(BTC)	2	5.1.1 有机树脂类	32
3.1.2 元器件贴装位置	2	5.1.2 无机结构	32
3.1.3 导电图形*	2	5.1.3 分层(多层、顺序/叠加和高密度互连)	32
3.1.4 焊盘图形*	2	5.2 安装结构的特性	33
3.1.5 元器件混装技术*	2	5.2.1 树脂系列	33
3.1.6 印制板组装	2	5.2.2 加固材料	33
3.1.7 表面贴装技术(SMT)*	2	5.2.3 高温无铅制程焊接的可靠性问题	34
3.2 BTC概要	2	5.2.4 热膨胀	34
3.3 不同元器件结构描述	3	5.2.5 吸湿性	35
3.4 总经营成本	6	5.2.6 平整度(拱曲和扭曲)	35
3.5 QFN类型BTC封装的设计和组装过程注 意事项	6	5.3 表面处理	35
3.6 未来的需求和期望	8	5.3.1 热风焊料整平(HASL)	36
4 元器件考虑	8	5.3.2 有机表面保护(可焊性有机保护)膜	36
4.1 不同BTC封装类型的总体说明	8	5.3.3 贵金属镀层/涂层	37
4.2 BTC的详细说明和标准	9	5.4 阻焊膜	40
4.2.1 单排模封引线框封装	9	5.4.1 湿膜和干膜阻焊膜	41
4.2.2 多排模封基于引线框封装	10	5.4.2 感光阻焊膜	41
4.2.3 JEDEC 95号出版物设计指南4.8	10	5.4.3 对位	41
4.2.4 JEDEC 95号出版物设计指南4.23	13	5.4.4 导通孔保护	42
4.2.5 JEDEC 95号出版物设计指南4.19	16	5.5 热扩散结构整合(例如, 金属芯板)	43
4.3 QFN和SON封装详细说明	18	5.5.1 层压顺序	43
4.3.1 制造方法	18	5.5.2 热传导通道	45
4.3.2 缺陷类型	22	5.5.3 散热焊盘粘接	45
4.3.3 标记选择	22	5.5.4 散热导通孔	46
4.3.4 使用的材料	22	5.6 无焊互连结构	46
4.3.5 可焊性测试	22	6 印制电路组件设计注意事项	47
4.4 定制的QFN和SON(DFN)	22	6.1 BTC元器件描述	47
4.5 LGA、QFN和SON(DFN)基于基材的 封装的详细说明	24	6.1.1 BTC封装变化	47
4.5.1 基于基材封装的制造方法	24	6.1.2 端子形式	48
4.5.2 缺陷类型	26	6.1.3 安装条件	48
		6.1.4 封装公差	55
		6.1.5 连接技术	59

7 印制板上BTC元器件的组装	62	8 可靠性	85
7.1 PCB表面处理要求	62	8.1 加速可靠性测试	85
7.2 PCB设计	62	8.2 损伤机理和焊接失效	85
7.2.1 焊接过程考虑	62	8.2.1 锡银铜(SAC)和锡铅在加速老化试验 方面的差异	85
7.2.2 元器件预烘烤	62	8.2.2 混合合金焊接	85
7.2.3 元器件组装前准备	62	8.2.3 模封化合物材料	86
7.2.4 焊膏及其施加	63	8.2.4 芯片大小	86
7.2.5 元器件贴装影响	67	8.2.5 全蚀刻引线框与半蚀刻引线框比较	86
7.2.6 再流焊及其温度曲线	68	8.2.6 金/银/钯脆化	86
7.2.7 再流焊制程对材料的影响	69	8.2.7 间隙高度	87
7.2.8 气相焊接	71	8.3 PCB设计考虑	87
7.2.9 清洗与免清洗	71	8.3.1 焊盘尺寸	87
7.2.10 封装间隙高度	72	8.3.2 焊料填充形成	88
7.3 SMT后制程	73	8.3.3 板厚	88
7.3.1 敷形涂覆	73	8.4 散热焊盘空洞	88
7.3.2 底部填充胶与粘合剂的使用	73	8.5 可靠性设计(DfR) 工艺	89
7.3.3 板子和模块分割	73	8.5.1 磨损机制	89
7.4 检验技术	73	8.5.2 蠕变疲劳交互作用	90
7.4.1 X射线使用	73	8.5.3 焊料厚度机械可靠性	90
7.4.2 超声波扫描	74	8.6 磨损机理回顾	91
7.4.3 BTC 间隙高度测量	75	8.6.1 可靠性因子	92
7.4.4 光学检查	75	8.6.2 加固的优点	92
7.4.5 破坏性分析方式	75	8.6.3 与失效相关的事件	92
7.5 测试和产品验证	76	8.7 针对可靠性问题和考量的设计	92
7.5.1 电气测试	76	8.7.1 损伤机理和焊接失效	93
7.5.2 测试覆盖范围	76	8.7.2 焊点和连接类型	93
7.5.3 老化测试	76	8.7.3 焊料界面晶粒结构的影响	93
7.5.4 产品筛选试验	77	8.7.4 整体膨胀不匹配	94
7.6 模封BTC元器件组装过程控制标准	77	8.7.5 局部膨胀不匹配	94
7.6.1 BTC焊点中的空洞	77	8.7.6 内部膨胀不匹配	94
7.6.2 焊料桥接	79	8.8 焊接失效	94
7.6.3 开路	79	8.9 确认和鉴定试验	94
7.6.4 冷焊	79	8.10 筛选程序	94
7.6.5 缺陷相关性/制程改进	79	8.10.1 焊点缺陷	94
7.6.6 加热不充分/不均匀的影响	80	8.10.2 筛选建议	94
7.6.7 BTC元器件可焊性测试	80	9 缺陷和失效分析案例研究	95
7.6.8 锡珠不良	80	9.1 焊接失效	95
7.7 维修工艺	80	9.1.1 焊接失效条件	95
7.7.1 返工/维修理念	80	9.1.2 焊料不足失效	95
7.7.2 拆除BTC	81	9.1.3 焊盘, 不上锡	96
7.7.3 BTC组件缺陷维修	81		

9.1.4	端子, 不上锡	96	图4-8	奇偶数接触端子布局	12
9.2	封装失效	96	图4-9	单排QFN封装端子空缺方案	13
9.2.1	封装翘曲	96	图4-10	边角端子与外露散热器	13
9.3	退润湿失效	97	图4-11	细间距双排QFN(无引线)封装	14
9.3.1	QFN上的退润湿	97	图4-12	QFN双排封装(顶视图和侧视图)	14
9.4	焊点破裂失效	97	图4-13	外排和内排端子各种布局	15
9.4.1	焊点上的破裂	97	图4-14	双排端子布局	15
9.5	元器件失效	98	图4-15	用于确定封装元器件的方向及A1和B1 端子的位置的外露DAP上的缺口	16
9.5.1	元器件倾斜	98	图4-16	两排和三排QFN封装图例	16
9.5.2	引线布局状况	98	图4-17	基本双排端子各种布局	17
9.5.3	焊接布局状况	99	图4-18	基本三排端子各种布局	17
9.5.4	焊点锡量	99	图4-19	各种接触脚几何尺寸	17
9.6	空洞	100	图4-20	普通QFN封装外形图	18
9.6.1	在X射线下的焊点空洞	100	图4-21	第一引脚位置选项	18
9.6.2	焊点空洞的切片和X光	100	图4-22	BTC多种封装结构	18
9.6.3	散热焊盘空洞		图4-23	QFN典型芯片粘贴面, 具有镍钯金表 面处理引线框	19
10	术语及缩写	101	图4-24	QFN拼板引线框上带有保护膜的典型 焊盘面	19
11	参考文献	103	图4-25	使用切割分离生产QFN	20
附录A	金相处理	104	图4-26	模封引线框布局	20
附录B	染色渗透试验	107	图4-27	使用冲压分离生产QFN	21
图					
图3-1	只有底部端子的普通分立元器件	3	图4-28	冲压分离与切割分离的比较及金线键 合选项图解	21
图3-2	只有底部端子的方形扁平无引线型封装	4	图4-29	半蚀刻内缩接触脚和全蚀刻不内缩边 缘接触脚布局图例	22
图3-3	只有底部端子的小外形无引线型封装	4	图4-30	镀层结构比较	24
图3-4	只有底部端子的LGA型封装	4	图4-31	QFN定制位置的详图	24
图3-5	典型QFN横截面	5	图4-32	LGA印制板底视图	25
图3-6	切割分离(a, b)BTC封装	6	图4-33	LGA印制板顶视图	25
图3-7	MLF封装厚度与其它封装类型比较	6	图4-34	使用切割分离方式基于基材制造BTC	25
图3-8	BTC阻焊膜间隙参考	7	图4-35	Amkor的28I/O微引线框®封装	27
图3-9	散热焊盘上模板分区图形设计图例	7	图4-36	Fairchild MLP散热增强型SON, 专为开关电源开发	27
图3-10	建议模板设计: 接地焊盘的焊膏覆盖率 在50%-60%(但是I/O焊盘要100%)	8	图4-37	Intersil的方形无引线, 微引线 框模封(MLFP)	28
图4-1	各种形状的BTC元器件	9	图4-38	JEDEC MO-220封装外形	28
图4-2	单个LGA元器件底部	9	图4-39	QFN接触脚设计	29
图4-3	普通单排引线框SON-QFN封装组装模式	10	图4-40	模拟元器件的LFCSP™(引线框芯 片级封装)	30
图4-4	普通多排QFN封装组装模式	10	图4-41	美国国家半导体公司LLP(无引线封装)	30
图4-5	单排SON和QFN封装的端子布局	10	图4-42	典型的LLC和LFCSP详细外形	30
图4-6	对单排SON和QFN JEDEC所定义的 封装外形	11			
图4-7	单排SON和QFN封装各种端子设计	12			

图4-43	JEDEC托盘图形	32	图7-4	过小PCB焊盘导致纯锡表面处理不能与锡铅焊膏混合的区域	64
图5-1	典型的HDI叠层, 2+4+2结构	33	图7-5	通用模板厚度推荐开孔尺寸	66
图5-2	材料热膨胀比较	35	图7-6	7x7mm和10x10mm BTC元器件散热焊盘模板设计	66
图5-3	SSD应用基本制作步骤	39	图7-7	模板开孔壁面积	66
图5-4	SSD过程步骤	40	图7-8	评估再流前最大可接受偏移	67
图5-5	导通孔焊盘无阻焊膜和有阻焊膜侵入的比较	42	图7-9	金属轮廓分明的焊盘焊点	68
图5-6	平面和盖导通孔保护举例	42	图7-10	锡/铅焊料再流焊曲线	70
图5-7	导通孔保护模式	44	图7-11	SAC合金焊料再流焊曲线	70
图5-8	金属芯板结构举例	45	图7-12	SAC合金流动特性	72
图5-9	类型VII填充再金属化覆盖举例	46	图7-13	组装后接触脚焊点和DAP焊点外形对比	73
图5-10	无焊接连接技术电路开发举例	46	图7-14	用各种技术检测漏焊的X光影像	74
图6-1	底部端子元器件BTC系列	47	图7-15	处理后典型的X光影像	74
图6-2	QFN底部端子元器件引线框阵列	48	图7-16	线键合到引线框X-RAY图例	74
图6-3	内缩和不内缩结构比较	49	图7-17	扫描声音断层摄影术	75
图6-4	焊盘图形和DAP散热焊盘布局指导	49	图7-18	典型的散热平面空洞	77
图6-5	6 I/O SON普通外形图形	50	图7-19	印刷在已堵塞的散热导通孔上的焊膏分区与焊膏点阵的对比	78
图6-6	JEDEC 6 I/O SON封装推荐焊盘图形	50	图7-20	焊膏分区和焊膏点阵空洞结果的X-RAY影像	78
图6-7	QFN元器件和焊盘图形组合图	50	图7-21	焊膏印刷方法: 分区(左)对点阵(右)	79
图6-8	趾部、跟部、侧面填充定义	51	图7-22	焊膏分区对焊膏点阵-潜在空洞	79
图6-9	内缩和不内缩封装外形和焊盘图形, 散热焊盘布局的比较	54	图7-23	浸渍和目视检查	80
图6-10	SON 0.5mm间距, 6端子, 带散热焊盘	55	图7-24	过程模拟测试	80
图6-11	DAP与PCB配合界面举例	55	图7-25	焊料受热至液态, BTC在焊料重新凝固前取出	82
图6-12	θ_{JA} vs. 数量的影响, 散热导通孔直径和分布, 带有9x9mm本体和7x7mm散热焊盘的36 I/O QFN的芯片尺寸	56	图7-26	BTC焊接位置焊料清除	82
图6-13	可选阻焊膜变化比较	56	图7-27	典型激光蚀刻模板开孔几何形状	82
图6-14	(A)0.5mm和更大间距元器件, (B)0.4mm间距元器件周边连接盘的阻焊膜	56	图7-28	模板上窗格图形举例	83
图6-15	典型的BTC外形细节	57	图7-29	将焊膏印刷到元器件上的典型金属模板	83
图6-16	封装上散热孔的数量对封装热性能的影响	58	图7-30	BTC元器件被夹持在模板治具上	83
图6-17	7x7mm, 48引线和10x10mm, 68引线封装的PCB散热焊盘和导通孔排列	58	图7-31	焊膏从模板开孔转移到BTC的底面上	83
图6-18	80%规则与标准网格系统对布线改善的比较	58	图7-32	典型的滴涂系统	84
图6-19	空洞对散热性能的影响	60	图7-33	运用模板的焊料凸起方法	84
图6-20	X光图例显示散热焊盘上的空洞	60	图7-34	PCB上模板对齐	85
图6-21	侵入型导通孔焊料从PCB底部流出	61	图7-35	凸起元器件放置并再流	85
图7-1	底部端子元器件良好焊盘图形举例	63	图8-1	向上电镀凸起	87
图7-2	底部端子元器件不良焊盘图形举例	63	图8-2	温度冲击后QFN焊点裂缝	87
图7-3	搪锡与非搪锡BTC对比以及导致空焊情况	64	图8-3	7mm BTC封装, 焊盘尺寸对疲劳寿命的影响	88
			图8-4	带有可湿润侧面的QFN	88
			图8-5	威布尔图显示在长疲劳时间下薄板结果	89

图8-6	CTE不匹配导致裂缝形成	91	图9-25	具有大边缘焊点的BTC元器件。冲击测试后此焊点没有任何裂纹	100
图8-7	焊点结构累积疲劳损伤作用示意图	93	图9-26	带有16个引脚的QFN，其引线焊点和散热焊盘虽有空洞，但仍可接受，不需采取措施	100
图8-8	1000次循环后由于CTE不匹配引起的焊点裂缝	94	图9-27	空洞级别增加到30%以上的QFN元器件，可能存在可靠性问题	100
图9-1	可接受QFN边缘端子光学图像。如果板子焊盘设计超出封装宽度，焊料填充应该存在	95	图9-28	QFN边缘焊点可接受条件，显示焊点内空洞级别增加，但不需采取措施	100
图9-2	可接受QFN边缘端子光学图像。目视焊料填充应该至少达到端子宽度的75%	95	图B1-1	在元器件去除后的BTC元器件(左)和PCB(右)	108
图9-3	由于印刷焊膏量不足，BTC横截面焊点开路	95			
图9-4	由于印刷焊膏量不足，在1000次循环后，BTC横截面可靠性失效	95			
图9-5	LGA封装焊盘不上锡	96			
图9-6	3-D X-RAY显示QFN上的不润湿焊点	96			
图9-7	不可接受的QFN边缘端子光学图像。焊料爬升高度有限，焊点开路可见，封装也浮在焊盘上面	96			
图9-8	QFN横截面焊点开路图像，原因是焊料到QFN底部焊盘不润湿	96			
图9-9	边角焊点失效的LGA横截面，焊膏流向封装焊盘	96			
图9-10	15x15mm BTC凹面翘曲	96			
图9-11	印刷和再流焊后QFN在散热焊盘有良好润湿	97			
图9-12	在印刷和再流焊后QFN散热焊盘退润湿	97			
图9-13	QFN边缘焊点的缺陷状况，显示焊点的焊料不足	97			
图9-14	温度冲击后的QFN焊点裂缝	97			
图9-15	倾斜BTC导致左边高度方向连接严重开路	98			
图9-16	倾斜BTC导致右边有良好焊接高度	98			
图9-17	BTS元器件全引线选项	98			
图9-18	BTS元器件半蚀刻引线选项	98			
图9-19	由于侧面铜不润湿引起少焊料填充	99			
图9-20	底部端子元器件侧面焊料填充对铜引线有良好润湿	99			
图9-21	焊料量增加引起焊料堆积	99			
图9-22	底部端子元器件无侧面焊料填充	99			
图9-23	QFN边缘焊点的目标条件，表现为焊点空洞级别中等可接受，所有焊点已再流过	100			
图9-24	QFN边缘焊点可接受条件，显示焊点中空洞级别增加，但良好不需采取措施	100			

表格

表3-1	BTC元器件的总经营成本	7
表4-1	QFN和DFN配置	9
表4-2	SON和QFN的各种端子宽度	13
表4-3	本体外形和最大端子数	15
表4-4	引线框封装缺陷和失效模式	23
表4-5	用于金属引线框电镀方式	23
表4-6	基于基材封装的缺陷和失效模式	26
表4-7	典型QFN封装外形和输入/输出	29
表4-8	触点间距和宽度变化	31
表4-9	LLC和LFCSP元器件的基本材料	31
表5-1	普通电介质材料的环境性质	34
表5-2	各种板子表面处理的主要属性	37
表5-3	导通孔填充/掩盖对表面处理的工艺评估 ...	43
表6-1	方形扁平无引线，形成的焊点公差目标	51
表6-2	封装和焊盘图形(内缩和不内缩)尺寸	52
表6-3	基本机械属性的符号说明	55
表6-4	触点间距和宽度变化	57
表7-1	颗粒大小比较	65
表7-2	共晶焊膏(63锡/37铅)典型再流焊曲线	69
表7-3	锡铅(SnPb)和锡银铜(SAC)再流焊曲线比较	69
表7-4	典型的无铅焊膏(SAC305或SAC405)再流焊曲线	71
表7-5	BTC散热/接地平面空洞标准指导	78
表8-1	终端使用环境的加速测试	86
表8-2	典型材料的热膨胀系数	90
表8-3	典型高度(已连接)	91
表A1-1	常用于显示金属间化合物的蚀刻剂	106

底部端子元器件(BTC)设计和组装工艺的实施

1 范围

本文描述了采用底部端子表面贴装元器件(BTC)在设计和组装方面的挑战, BTC元器件外部连接由构成元器件整体一部分的金属端子组成。本文BTC是指仅有底部端子并要实施表面贴装的所有类型元器件。这包括QFN、DFN、SON、LGA、MLP和MLF等业界描述性术语, 它们都采用表面到表面互连。这里所含信息的焦点放在BTC元器件的关键设计、组装、检验、维修以及和BTC相关的可靠性问题上。

1.1 目的 这份文件的目标读者是与电子设计、组装、检验和维修等过程有关的经理、设计和工艺工程师、操作员和技术员。本文件的目的是给正考虑采用锡/铅、无铅、粘合剂或其它形式互连工艺来组装BTC类元器件的那些公司提供实际而有用的资讯。

1.2 内容 本文件虽然不是包含一切的秘方, 但它识别了影响进行稳健和可靠组装的许多特性, 可给正面临组装制程问题的元器件供应商提供指导性的信息。BTC元器件与其它表面贴装元器件比较而言, 元器件供应商、产品设计人员和组装人员之间关于影响组装参数的信息交流更为至关重要。

2 适用文件

2.1 IPC¹

IPC-T-50 电子电路互连与封装术语及定义

IPC-CH-65 印制板及组件清洗指南

IPC-D-279 Design Guidelines for Reliable Surface Mount Technology Printed Board Assemblies

IPC-A-610 电子组件的可接受性

IPC-SM-785 Guidelines for Accelerated Reliability Testing of Surface Mount Solder Attachments

IPC-1756 Manufacturing Process Data Management

IPC-2226 Sectional Design Standard for High Density Interconnect (HDI) Printed Boards

IPC-4101 刚性及多层印制板用基材规范

IPC-4761 Design Guide for Protection of Printed Board Via Structures

IPC-6012 刚性印制板的鉴定及性能规范

IPC-7351 Generic Requirements for Surface Mount Design and Land Pattern Standard

IPC-7525 模板设计指导

IPC-7526 Stencil and Misprinted Board Cleaning Handbook

IPC-9201 Surface Insulation Resistance Handbook

IPC-9701 表面贴装焊接连接的性能测试方法及鉴定要求

J-STD-001 焊接的电气和电子组件要求

J-STD-002 元器件引线、端子、焊片、接线柱和导线的可焊性测试

J-STD-005 焊膏要求

J-STD-020 非气密固态表面贴装器件潮湿/再流焊敏感度分级

J-STD-033 潮湿/再流焊敏感表面贴装器件的操作、包装、运输及使用

2.2 JEDEC²

JEDEC Publication 95 JEDEC Design Standard, Design Requirements for Outlines of Solid State and Related Products Design Guide: 4.8, Plastic Quad and Dual Inline Square and Rectangular No Lead Packages (With Optional Thermal Enhancements) (QFN/SON) Date: September 2006, Issue: C

1. www.ipc.org

2. www.jedec.org