

# 目次

<b>1 適用範囲</b> .....	1	3.2.3 三次元(3D)パッケージ.....	8
1.1 目的.....	1	3.3 内蔵(埋め込み)回路技術.....	9
1.1.1 本書の対象者.....	1	3.4 アドバンスドパッケージ.....	9
1.1.2 本書の目的.....	1		
1.2 クラスの分類.....	1	<b>4 デバイスに関する考慮事項</b> .....	10
1.3 計測単位.....	1	4.1 パッケージ組立のバリエーション.....	10
1.4 「リード」という表記の使用.....	1	4.1.1 ダイスタック(ワイヤーボンディング).....	10
1.5 略語および頭字語.....	1	4.1.2 PoP(Package-on-Package)技術.....	11
1.6 用語および定義.....	2	4.1.3 TMV(Through Mold Via).....	11
1.6.1 ダイ*.....	2	4.1.4 TMI(Through-Mold Interconnect).....	12
1.6.2 電子素子.....	2	4.1.5 高密度PoP(Package-on-Package).....	12
1.6.3 インターポーザ.....	2	4.1.5.1 CuPI(Cu Pillar Interconnect).....	12
1.6.4 サブストレート.....	2	4.1.5.2 μPILR(Micro-Pillar).....	13
1.6.5 電子パッケージ.....	2	4.1.5.3 BVA(Bond Via Array).....	13
1.6.6 電子モジュール.....	2	4.1.5.4 DPI(Direct-Bond Interconnect).....	13
1.6.7 三次元(3D)パッケージング.....	2	4.1.6 フォールドスタックパッケージング.....	14
1.7 実装の課題.....	2	4.1.7 PoPi(Package-on-Package Interposer).....	14
		4.1.8 TSOP(Thin Small Outline Package)の スタッキング.....	15
<b>2 関連文書</b> .....	3	4.1.9 HBM(High Band Memory).....	15
2.1 IPC.....	3	4.1.9.1 シリコンブリッジインターポーザ.....	15
2.2 Joint Industry Standards.....	4	4.1.9.2 EMIB(Embedded Multi-Die Interconnect Bridge).....	15
2.3 JEDEC.....	4	4.1.10 Die/Wafer Stack Cu-to-Cu Through-Silicon Via (TSV).....	16
2.4 Government Electronics and Information Technology Association (GEIA).....	4	4.1.10.1 Cu-Sn-Cu間のフュージョン接合.....	16
<b>3 概要</b> .....	4	4.1.10.2 熱圧着接合.....	17
3.1 技術概要.....	4	4.1.10.3 接着接合.....	18
3.1.1 ダイスタックパッケージ.....	5	4.1.11 三次元(3D)インターポーザ/サブストレートパ ッケージング.....	18
3.1.2 パッケージスタック.....	5	4.2 一般要求事項.....	18
3.1.3 PoP(Package-on-Package).....	5	4.3 デバイスの準備.....	18
3.1.4 インターポーザ.....	5	4.3.1 洗浄.....	18
3.1.5 TSV(Through-Silicon Via).....	6	4.3.2 ベーキング.....	19
3.1.6 TGV(Through-Glass Via).....	6	4.3.3 端子材料の変更.....	19
3.1.7 SoC(System on Chip).....	6	4.3.3.1 デボーリング.....	19
3.1.8 SiP(System in Package).....	6	4.3.3.2 リボーリング.....	19
3.1.9 WLP(Wafer-Level Packaging).....	6	4.3.3.3 アウトソーシングソリューション.....	20
3.1.10 FOWLP(Fan-Out Wafer-Level Packaging).....	7	4.3.3.4 混合/下位互換性によるはんだ工程.....	20
3.1.11 サブストレート.....	7	4.3.3.5 混合合金はんだ付のためのアンダーフィル.....	20
3.2 パッケージの幾何学的空間.....	7	4.4 受動部品の集積化(有機基材).....	21
3.2.1 二次元(2D)パッケージ.....	7	4.4.1 形成型の抵抗器.....	21
3.2.2 2.5次元(2.5D)パッケージ.....	8		

4.4.1.1	エッチング形成による抵抗器	21
4.4.1.2	ディスクリート抵抗器	21
4.4.2	形成型コンデンサ	21
4.4.2.1	ディスクリート(配置型)コンデンサ	21
4.4.3	形成型インダクタ	21
4.4.4	ディスクリートインダクタ	22
4.5	受動部品の集積化(無機基材)	22
4.5.1	形成型の抵抗器	22
4.5.2	形成型のコンデンサ	22
4.5.3	形成型のインダクタ	23
4.6	半導体ダイに関する問題点	23
4.6.1	表面領域のリディストリビューション	23
4.7	後続プロセスの検証	24
4.7.1	Solder on Pad (フリップチップ)	24
4.7.2	KGD (Known Good Die)	24
4.8	部品の取扱い	24
4.8.1	包装	25
4.8.2	部品の保管	25
4.9	3D部品の熱管理	25
4.9.1	熱伝導/対流	25
4.9.2	熱伝達のメカニズム	26
4.9.3	先進的な熱界面材料	26
4.9.4	高導電性モールドコンパウンド	28
4.9.5	液冷	28
4.9.6	マイクロ流体冷却	29
4.9.7	単相インターティア冷却	29
4.9.8	二相インターティア冷却	29
4.9.9	ヒートパイプ	29
4.9.10	マイクロチャネルとミニチャネル冷却	29
4.9.11	熱モデリング	30
4.10	コストに関する考慮事項	30

## 5 インターポーザ/サブストレート材料 30

5.1	有機インターポーザ	31
5.1.1	CTEの整合が取れた有機インターポーザ材料	31
5.1.2	有機ベースインターポーザの製作工程	31
5.2	ガラスインターポーザ	31
5.3	シリコンインターポーザ	31
5.4	セラミックサブストレート/インターポーザ	32
5.5	導体特性 (Cuはく/フィルム)	32
5.6	導体特性(シリコンへのメタライゼーション)	32
5.7	導体特性(ガラスへのメタライゼーション)	33

5.8	導体特性(セラミックへのメタライゼーション)	33
-----	------------------------	----

## 6 工程材料 33

6.1	接着剤(導電性/非導電性)	33
6.1.1	高分子接着剤	33
6.1.1.1	熱硬化性材料	34
6.1.1.2	熱可塑性材料	34
6.1.2	ドライフィルム接着剤	34
6.1.2.1	ダイ装着フィルムの適用	34
6.2	はんだ材料	35

## 7 パッケージレベルの標準化 35

7.1	パッケージ外形に関する規格	35
7.1.1	BGA (Ball Grid Array)	35
7.1.2	FBGA/FIBGA(Fine-Pitch BGA)	36
7.1.3	PoP (Package-on-Package)	37
7.1.4	TMV(Through-Mold Via) Package-on-Package (PoP)	38
7.1.5	WLBGA (Wafer-Level Ball Grid Array)	38
7.1.6	スタックダイパッケージングに関する規格	38

## 8 プリント基板と他の実装用ベースまたは基板のスタックアップに関する考慮事項 39

8.1	プリント基板に関する技術	39
8.1.1	マルチレベルサブストレート	39
8.2	実装ベース	40
8.3	配置型部品への表面処理	40
8.3.1	無電解ニッケル/置換金(ENIG)	40
8.3.2	無電解ニッケル/無電解パラジウム/置換金(ENEPIG)	40
8.3.3	水溶性プリフラックス：有機はんだ付性保護剤(OSP)	40
8.3.4	電解ニッケル/電解金(ENEG)	40
8.3.5	直接置換金(DIG)	40
8.3.6	置換銀	40
8.3.7	置換すず	41
8.3.8	Cu (化学的析出と電気めっき)	41
8.4	内蔵(埋め込み)部品の技術	41
8.4.1	形成型抵抗器のプロセス	41
8.4.1.1	シートフィルムタイプ抵抗素子の設計基準	42
8.4.2	コンデンサの形成工程	42
8.4.3	プレーナ(平面)部品の静電容量	42
8.4.3.1	プレーン層の分離	42
8.4.4	形成型のディスクリートコンデンサ素子	42

8.4.5	ディスクリートインダクタの形成	42	9.2.1.1	有機ベースのインターポーザ	49
8.4.6	ディスクリート部品の配置	43	9.2.1.2	セラミックベースのインターポーザ設計	50
8.4.6.1	ディスクリートタイプの抵抗器/コンデンサの配置	43	9.2.2	外層(表面)への部品実装	50
8.4.6.2	ディスクリートタイプインダクタの配置	43	9.2.2.1	はんだによる取付け	50
8.4.6.3	能動ダイ素子の配置	43	9.2.2.2	導電性ポリマーによる取付け	50
8.4.6.4	UBMめっきの表面処理	44	9.2.3	内層(埋め込み)への部品実装	50
8.4.6.4.1	無電解ニッケル/置換金(ENIG)	44	9.2.4	回路インターフェース技術	50
8.4.6.4.2	無電解ニッケル/無電解パラジウム/置換金(ENEPIG)	44	9.2.4.1	有機ベースのインターポーザ設計	50
8.4.6.4.3	CU UBM (Under-Bump Metallization)めっき	44	9.2.5	内層のディスクリートヒートシンク	52
8.4.6.5	RDL (Redistribution Layer)プロセス	44	9.2.5.1	有機ベースのインターポーザ設計	52
8.5	サブストレートとインターポーザ材料(パッケージレベル)	44	9.3	レイアウト戦略	52
8.5.1	有機回路構造	45	9.3.1	製品機能に関するディスクリプション	52
8.5.2	セラミック回路構造	45	9.3.2	エンジニアリング部門によるアクション	52
8.5.2.1	セラミックへのメタライゼーション	45	9.3.3	設計密度の分析	52
8.5.3	シリコン回路構造	45	9.3.4	内蔵部品の選択	53
8.5.4	ガラス回路構造	45	9.3.4.1	受動部品の内蔵(埋め込み)	53
8.6	誘電含浸	46	9.3.4.2	能動部品の内蔵(埋め込み)	53
8.6.1	強化プリプレグ	46	9.3.5	部品を内蔵した回路のインターフェース	53
8.6.2	非強化樹脂	46	9.4	多層サブストレートの構造と形状	54
8.6.3	RCC (Resin-Coated Cu)	46	9.4.1	ガラスベース構造上のビルドアップ回路層	54
8.7	ビアホールの準備と相互接続性	46	9.4.2	シリコンベース構造上のビルドアップ回路層	54
8.7.1	プリント基板へのTGV(Through-Glass Via)接続	46	9.5	マルチレベルの組立品への部品の取付け	55
8.7.2	部品電極部へのTGV(Through-Glass Via)接続	46	9.5.1	導電性ポリマー	55
8.7.3	TGV(Through-Glass Via)の形成	46	9.5.2	ドライフィルム接着剤	55
8.7.4	TSV(Through-Silicon Via)の形成	47	9.5.3	はんだによる取付け	55
8.7.5	ビア充填	47	9.6	回路配線戦略(有機および無機)	55
8.7.6	シリコンベースインターポーザでの代替的なビアめっき	47	9.6.1	有機ベースのサブストレート	55
8.7.7	シリコンインターポーザでの導体形成	48	9.6.2	シリコン/ガラスのインターポーザ	55
8.8	ビルドアップ層とビアホール準備 - シリコン/ガラス上のRDL(Redistribution Layer)	48	9.6.3	セラミックベースのサブストレート/インターポーザ	55
8.8.1	シリコンインターポーザのメタライゼーション	48	9.7	ドキュメンテーション	55
8.8.2	ガラスインターポーザのメタライゼーション	48	9.7.1	ドキュメンテーションパッケージ	56
8.9	マルチレベルのプリント基板 - キャビティ付き基板	48	9.7.2	部品表(BoM)	56
9	設計手法	49	9.7.3	ソフトウェアツールとデータ転送	56
9.1	設計の課題	49	9.7.4	3D設計の一般規則	56
9.2	回路に関する総合的な考慮事項	49	10	プリント基板への3Dパッケージの組立	56
9.2.1	内部(埋め込み)への部品実装	49	10.1	PoP (Package-on-Package)の組立プロセス	56
			10.1.1	PoP(Package-on-Package)のフラックス塗布オプション	57
			10.1.2	PoP(Package-on-Package)のフラックス塗布工程	57
			10.1.2.1	フラックス適用範囲	58
			10.1.2.2	ドウェルタイム(浸漬時の滞留時間)の長さ	58

10.1.2.3	引き上げ速度 .....	58	10.9.5	モールドアンダーフィル(MUF).....	71
10.1.2.4	引き上げ力 .....	58	10.9.6	真空アンダーフィル(VUF) .....	72
10.1.3	フラックスの高さに関する統計的工程管理 ...	58	10.9.7	ウェハー用アンダーフィル .....	72
10.1.4	ペーストディップ .....	59	10.9.8	アンダーフィルの検査.....	72
10.1.5	プレスタック工程 .....	59	10.9.8.1	ボイドの原因 .....	72
10.1.6	TMV(Through-Mold Via)組立の考慮事項 ...	59	10.9.8.2	ボイドの特性 .....	73
10.1.7	PoP(Package-on-Package)のSOH(Stand-Off Height).....	60	10.9.8.3	試験戦略.....	73
10.1.8	PoP(Package-on-Package)のダイのギャップ ...	60	10.9.8.4	フローパターンボイド .....	73
10.2	三次元(3D)印刷 .....	61	10.9.8.5	モイスチャーボイド .....	73
10.2.1	キャビティの印刷.....	61	10.9.8.6	汚染の影響.....	73
10.2.2	ジェット印刷.....	61	<b>11</b>	<b>試験および製品の検証 .....</b>	<b>73</b>
10.2.3	ペーストディスペンス.....	61	11.1	試験要件の確立.....	73
10.2.4	キャビティ適用禁止(Keep-Out)領域 .....	62	11.2	組立工程の認定.....	74
10.3	マルチレベルでの配置.....	62	11.2.1	パッケージレベルのストレス試験 .....	74
10.3.1	パラメータ .....	62	11.3	サブストレートのテストクーポン.....	75
10.3.2	キャビティの設計.....	64	<b>12</b>	<b>信頼性.....</b>	<b>75</b>
10.3.3	プラトー型の設計 .....	64	12.1	信頼性に関する考察 .....	75
10.4	ダイ装着 .....	64	12.2	DfR(Design for Reliability)の原則.....	76
10.4.1	ダイレクトチップ実装.....	64	12.3	最終用途との関係.....	77
10.4.2	ダイ/サブストレート間の補強.....	64	12.3.1	温度サイクル条件.....	77
10.5	3D部品のリフローソルダリングに関する 考慮事項.....	65	12.3.2	試験時間.....	77
10.5.1	3D部品の低温はんだ付(LTS : Low-Temperature Soldering) .....	65	12.3.3	サンプル数 .....	77
10.5.1.1	3D組立で低温はんだを利用する推進要因 ..	65	12.4	Pbフリー材料と純Sn仕上げによる信頼性への 影響.....	78
10.5.1.2	低温はんだ合金の選択 .....	66	12.5	信頼性のための検証、認定、加速エー ジング試験.....	78
10.5.1.3	混合合金LTS-SAC(ハイブリッド接合).....	67	12.6	環境試験.....	78
10.6	3D部品の検査技術 .....	67	<b>13</b>	<b>欠陥と故障解析.....</b>	<b>79</b>
10.6.1	X線による検査技術 .....	67	13.1	非破壊故障解析.....	79
10.6.2	AM(Acoustic Microscopy : 音響顕微鏡) 検査技術.....	68	13.1.1	電気試験.....	79
10.7	基板レベルのリワーク .....	68	13.1.1.1	機能試験(FT) .....	79
10.7.1	対流式リフローソルダリングによるリワーク ...	70	13.1.1.2	モデル化故障試験(MFT).....	79
10.7.2	赤外線(IR)リフローソルダリングによるリワーク.	70	13.1.1.3	Iddq .....	79
10.7.3	レーザーソルダリングによるリワーク.....	70	13.1.1.4	時間領域反射率測定法(TDR) .....	79
10.8	アンダーフィル.....	71	13.2	内部非破壊検査.....	79
10.8.1	パッケージとプリント基板間の補強.....	71	13.2.1	音響顕微鏡(AM) .....	80
10.9	材料の選択と適用.....	71	13.2.2	X線イメージング .....	80
10.9.1	キャピラリーフロー(毛細管流動)によるア ンダーフィル .....	71	13.2.3	赤外線(IR) .....	80
10.9.2	ノーフロー/フラックスアンダーフィル .....	71	13.2.3.1	赤外線(IR)サーモグラフィ(IRT)/ サーマルイメージング .....	80
10.9.3	取外し可能/リワーク可能なアンダーフィル ...	71			
10.9.4	コーナーボンディング/グルーボンディング ...	71			

13.2.3.2	赤外線(IR)顕微鏡	80	図3-9	プリント基板上に実装された3D PoPとSiP	8
13.2.4	磁気電流イメージング(MCI)	81	図3-10	能動素子と受動素子が埋め込まれたBGA サブストレート	9
13.2.5	内部光学検査	81	図3-11	アドバンスドパッケージのトレンド	9
13.2.6	電気プローブ/ナノプローブ	81	図4-1	現在の2ダイとクアッド(4)ダイパッケージソリ ューションの比較	10
13.2.7	化学分析	81	図4-2	ダイをスタックした標準的なPoP(Package-on- package)の例	11
13.3	破壊的故障解析	81	図4-3	TMV(Through-Mold Via)を用いたPoP (Package-on-Package)	11
13.3.1	断面観察(クロスセクション)	81	図4-4	下側のPoP(Package-on-Package)セクションと TMV(Through-Mold Vias)	11
13.3.2	パラレルラッピング	82	図4-5	TMV(Through-Mold Via)に実装されたはん だボール	11
13.3.3	デキャップ(Decapsulation)	82	図4-6	TMI(Through Mold Interconnect)工法で 実装された下側のPoP(Lower Package-on- Package)セクション	12
13.4	光学検査	82	図4-7	CuPI(Cu Pillar Interconnect)技術を用いた PoP(Package-on-Package)	13
13.4.1	光学検査(組立後)	82	図4-8	高密度のμPILR(Micro-Pillar)アレイパッケ ージング	13
13.4.2	共焦点レーザー走査型顕微鏡(CLSM)	83	図4-9	ファインピッチのCuワイヤー接続によるBVA (Bond Via Array)	13
13.5	外観検査で観察された欠陥事例	83	図4-10	DBI(Direct Bond Interface)	14
13.5.1	HoP(Head on Pillow)欠陥	83	図4-11	フレキシブル回路サブストレート上の 3メモリーダイ	14
13.5.2	PoP(Package-on-Package)の接合欠陥	83	図4-12	PoPi(Package-on-Package Interposer)	14
13.5.3	NWO(Nonwet Open)接合	83	図4-13	スタックされたTSOP(Thin Small Outline Package) デバイス	15
13.5.4	PoP(Package-on-Package)に生じるブリッジ	83	図4-14	HBM(High-Band Memory)	15
13.5.5	スルーモールドビアのHoP(Head on Pillow)	83	図4-15	シリコンブリッジインターポーザ工法による スタックダイとHBM	15
13.5.6	はんだフラックス不足	84	図4-16	EMIB(Embedded Multi-Die Interconnect Bridge)	16
13.5.7	不完全なはんだリフロー	84	図4-17	スルーシリコンビア(TSV)	16
13.5.8	はんだボールの欠落	84	図4-18	フュージョン接合工程	17
13.5.9	はんだ供給の不均一または欠落	84	図4-19	金属間のボンディング(Cu/Cu3Sn/Cu)	17
13.5.10	ボイドと不均一なはんだ	85	図4-20	金属間熱圧着接合	18
14	サブアセンブリ請負業者の選定と認定	85	図4-21	卓上型小バッチ用超音波クリーナー	18
14.1	工場/工程監査	85	図4-22	JEDEC準拠のキャリアトレイ	19
14.2	サイト訪問の手順	85	図4-23	SnPbと混合冶金BGA(Ball Grid Array) のはんだ接合部	20
14.3	設計と工程の評価	85	図4-24	形成型の抵抗素子	21
14.4	観察事項と推奨事項	86	図4-25	シリコン内のトレンチまたはピラーコンデンサ	22
14.5	観察事項と推奨事項	86	図4-26	表面領域のリディストリビューション	23
14.6	観察事項と推奨事項	86	図4-27	フリップチップ実装のコンタクトバリエーション	24
14.7	観察事項と推奨事項	86	図4-28	BGA(Ball Grid Array)部品用の仕切り付	24
14.8	観察事項と推奨事項	86			
14.9	観察事項と推奨事項	86			
14.10	観察事項と推奨事項	86			
14.11	観察事項と推奨事項	86			
14.12	観察事項と推奨事項	86			
14.13	観察事項と推奨事項	86			
14.14	観察事項と推奨事項	86			
14.15	観察事項と推奨事項	86			
14.16	観察事項と推奨事項	86			
14.17	観察事項と推奨事項	86			
14.18	観察事項と推奨事項	86			
14.19	観察事項と推奨事項	86			
14.20	観察事項と推奨事項	86			
14.21	観察事項と推奨事項	86			
14.22	観察事項と推奨事項	86			
14.23	観察事項と推奨事項	86			
14.24	観察事項と推奨事項	86			
14.25	観察事項と推奨事項	86			
14.26	観察事項と推奨事項	86			
14.27	観察事項と推奨事項	86			
14.28	観察事項と推奨事項	86			
14.29	観察事項と推奨事項	86			
14.30	観察事項と推奨事項	86			
14.31	観察事項と推奨事項	86			
14.32	観察事項と推奨事項	86			
14.33	観察事項と推奨事項	86			
14.34	観察事項と推奨事項	86			
14.35	観察事項と推奨事項	86			
14.36	観察事項と推奨事項	86			
14.37	観察事項と推奨事項	86			
14.38	観察事項と推奨事項	86			
14.39	観察事項と推奨事項	86			
14.40	観察事項と推奨事項	86			
14.41	観察事項と推奨事項	86			
14.42	観察事項と推奨事項	86			
14.43	観察事項と推奨事項	86			
14.44	観察事項と推奨事項	86			
14.45	観察事項と推奨事項	86			
14.46	観察事項と推奨事項	86			
14.47	観察事項と推奨事項	86			
14.48	観察事項と推奨事項	86			
14.49	観察事項と推奨事項	86			
14.50	観察事項と推奨事項	86			
14.51	観察事項と推奨事項	86			
14.52	観察事項と推奨事項	86			
14.53	観察事項と推奨事項	86			
14.54	観察事項と推奨事項	86			
14.55	観察事項と推奨事項	86			
14.56	観察事項と推奨事項	86			
14.57	観察事項と推奨事項	86			
14.58	観察事項と推奨事項	86			
14.59	観察事項と推奨事項	86			
14.60	観察事項と推奨事項	86			
14.61	観察事項と推奨事項	86			
14.62	観察事項と推奨事項	86			
14.63	観察事項と推奨事項	86			
14.64	観察事項と推奨事項	86			
14.65	観察事項と推奨事項	86			
14.66	観察事項と推奨事項	86			
14.67	観察事項と推奨事項	86			
14.68	観察事項と推奨事項	86			
14.69	観察事項と推奨事項	86			
14.70	観察事項と推奨事項	86			
14.71	観察事項と推奨事項	86			
14.72	観察事項と推奨事項	86			
14.73	観察事項と推奨事項	86			
14.74	観察事項と推奨事項	86			
14.75	観察事項と推奨事項	86			
14.76	観察事項と推奨事項	86			
14.77	観察事項と推奨事項	86			
14.78	観察事項と推奨事項	86			
14.79	観察事項と推奨事項	86			
14.80	観察事項と推奨事項	86			
14.81	観察事項と推奨事項	86			
14.82	観察事項と推奨事項	86			
14.83	観察事項と推奨事項	86			
14.84	観察事項と推奨事項	86			
14.85	観察事項と推奨事項	86			
14.86	観察事項と推奨事項	86			
14.87	観察事項と推奨事項	86			
14.88	観察事項と推奨事項	86			
14.89	観察事項と推奨事項	86			
14.90	観察事項と推奨事項	86			
14.91	観察事項と推奨事項	86			
14.92	観察事項と推奨事項	86			
14.93	観察事項と推奨事項	86			
14.94	観察事項と推奨事項	86			
14.95	観察事項と推奨事項	86			
14.96	観察事項と推奨事項	86			
14.97	観察事項と推奨事項	86			
14.98	観察事項と推奨事項	86			
14.99	観察事項と推奨事項	86			
14.100	観察事項と推奨事項	86			

## 附属書A：略語および頭字語

図1-1	3D技術の複雑性	2
図3-1	ダイスタックパッケージの組立	5
図3-2	混合機能のPoPの例	5
図3-3	SoC(System on Chip)の例	6
図3-4	SiP(System in Package)の例	6
図3-5	高性能メモリー用WLP(Wafer-Level Packaging)	6
図3-6	FOWLP(Fanout Wafer Level Package)の例	7
図3-7	2D SiPの例	7
図3-8	2.5D SiPの例	8



きキャリアトレ	25	半導体パッケージング	45
図4-29 テープリール形式	25	図8-10 セラミックベースインターポーザ	45
図4-30 熱伝導	26	図8-11 TGV(Through-Glass Via)	46
図4-31 熱伝達経路	26	図8-12 TGV(Through-Glass Via)が形成されたガラスサブストレート	46
図4-32 最新の熱伝導性グリースとゲルでの ボンドライン厚さに対する熱抵抗値	27	図8-13 メタライズされたTGV(Through-Glass Via)の X線写真	47
図4-33 熱抵抗の進歩(信頼性のある材料を薄型化/高伝 導化した場合)	27	図8-14 ウエハー間のCu充填TSV(Through-Silicon Via) インターフェース – 能動側と裏面側	47
図4-34 ナノ銀を用いた相互接続	27	図8-15 ビアめっき(堆積)工法の比較	48
図4-35 FOWLP(Fan-Out Wafer-Level Packaging)とダイ 埋め込みによる3Dパッケージの進化(左)と、 先進的な窒化ホウ素フィラーと表面処理による 高熱伝導性コンポジット(右)	28	図8-16 キャビティ内の部品と基板表面上の部品の 比較	48
図4-36 液冷用ヒートパイプ熱交換システム	28	図8-17 キャビティの設計例	49
図4-37 異なる冷却技術を利用した3D集積回路(IC) の比較	29	図9-1 内蔵半導体サブストレート	54
図5-1 TGV(Through-Glass Via)とTSV(Through- Silicon Via)相互接続の疑似挿入損失(S21)	31	図9-2 ガラスインターポーザ(ピッチバンプ=40- $\mu$ m、L/ S=2 $\mu$ m/2 $\mu$ m)	54
図5-2 ガラスウエハーとパネルサブストレート	31	図9-3 ビルドアップ回路層(2層)技術を用いたイン ターポーザ	54
図5-3 微結晶シリコンインゴット	32	図10-1 PoP(Package-on-Package)組立の原理	57
図5-4 製作工程中にウエハーエッジ部が平坦化され、 ウエハーの向きが確立する	32	図10-2 PoP(Package-on-Package)に用いるフラックス塗布 ユニット	57
図5-5 メタライゼーション前のセラミックパネル	32	図10-3 BGA(Ball Grid Array)のフラックス適用範囲	58
図7-1 BGA(Ball Grid Array)パッケージ外形	36	図10-4 Cuクーポンへのフラックス転写	58
図7-2 FBGA/FIBGA (Fine-Pitch Ball Grid Array)	36	図10-5 フラックス高さ測定用ゲージ	58
図7-3 FBGA/FIBGA(Fine-Pitch Ball Grid Array)の コンタクト径とピッチのバリエーション	37	図10-6 ペーストディップ後ののはんだボール	59
図7-4 JEDECのPoP(Package-on-Package)構造の バリエーション	37	図10-7 プレスタックされたパッケージが付い たキャリア	59
図7-5 ウエハーレベルでコンタクトをリディストリブ ーションすることにより、フェースダウン実装 に適した均一なアレイ形式のBGA	38	図10-8 TMV(Through-Mold Via)に実装されたボール のはんだ付面	59
図8-1 埋め込み部品を有する2レベル構造の サブストレート	39	図10-9 潰れたボール	59
図8-2 部品内蔵サブストレートを採用した BGA(Ball Grid Array)	41	図10-10 PoP(Package-on-Package)のZ方向の高さ	60
図8-3 薄膜材料を用いたプルアップ抵抗とプ ルダウン抵抗	41	図10-11 接合部のSOH(Stand-Off Height)	60
図8-4 形成型の多層コンデンサ素子	42	図10-12 PoP(Package-on-Package)のダイのギャップ	60
図8-5 エッチングされたらせん状のCuインダクタパ ターン	43	図10-13 キャビティと3Dステンシル	61
図8-6 サブストレート内のキャビティ構造に埋め 込まれた「0603」部品	43	図10-14 右側にキャビティポケットが付いた三次元(3D) ステンシル	61
図8-7 Cuワイヤーボンディングプロセスによる三次元 (3D)ダイスタックパッケージ	44	図10-15 スリットメタルスキージ	61
図8-8 アディティブ工法による、アレイコンタクトサ イトへのRDL	44	図10-16 キャビティ内に実装されたPoP(Package-on- Package)	61
図8-9 有機系材料とシリコン系材料を統合させた3D		図10-17 0.8-mm[0.031-in]のBGA用にジェット印刷 されたソルダペースト	61
		図10-18 カスタマイズされた堆積(供給)量に対応できる マルチ堆積ジェット印刷	62
		図10-19 カメラモジュールへの3Dジェット印刷	62
		図10-20 キャビティ適用禁止(Keep-Out)領域	62
		図10-21 マルチレベルのプリント基板	62

図10-22	マルチレベル配置設計での干渉の回避	63
図10-23	フィデューシヤル階層と配置の優先順位の原則	63
図10-24	液状エポキシのキャピラリーフロー(毛細管流動)で完全に封止され安定した2つの平行面間の領域	64
図10-25	PoP(Package-on-Package)組立内のはんだ付材料	65
図10-26	SiPとPoPの組立	65
図10-27	インターポーザを使用した基板のスタッキング	66
図10-28	液相線温度が100°C~200°C、かつ、Pb、CdまたはAuを含有しない低温合金	66
図10-29	延性冶金のBiSn溶ダペーストではんだ付され、SACボールで形成された、混合合金によるBGAはんだ接合部	66
図10-30	メモリーボールがオーバーラップしたPoP (Package-on-Package)	67
図10-31	3DラミノグラフィーX線で観察(ビュー)した、メモリーボールが重なったPoP(Package-on-Package)	67
図10-32	HoP(Head on Pillow)の3Dラミノグラフィー画像	68
図10-33	メモリー上にHoP(Head on Pillow)欠陥を有するTMI(Through-Mold Interconnect) PoP(Package-on-package)の傾斜2DX線ビュー(画像)	68
図10-34	3DデバイスのAM画像：許容可能な欠陥がある場合/ない場合	69
図10-35	レーザーソルダリングによるリワーク	70
図10-36	パッケージとプリント基板間の補強	70
図10-37	端部へのアンダーフィル材のディスペンス	71
図10-38	2ステッププロセスによるアンダーフィル+モールド工程(A)と1ステップによるモールドアンダーフィルパッケージダイ(B)の比較	72
図10-39	アレイ構成のフリップチップダイ下のアンダーフィル内に生じたボイド	72

図11-1	品質ドキュメント体系	75
図13-1	音響顕微鏡(AM)によるボイド、層間剥離、クラックの特定	80
図13-2	はんだブリッジを明確に識別できる3DサブミクロンX線画像	80
図13-3	ダイ-シリコン-サブストレート間の組立	82
図13-4	半導体パッケージ用デキャップ装置	82
図13-5	HoPはんだプロセスの欠陥	83
図13-6	球とインターポーザランド間の融合不良	83
図13-7	ぬれによる欠陥：過度の酸化の影響を示す	83
図13-8	BGA球のコンタクト間に生じたはんだブリッジ(内視鏡による端面図)	83
図13-9	PoP上に生じたブリッジ	84
図13-10	酸化物汚染に起因する欠陥	84
図13-11	2つの表面処理のぬれ特性の比較	84
図13-12	不完全なはんだリフロー	84
図13-13	はんだボールの欠落	84

## 表

表4-1	TMV(Through-Mold Via)の例	12
表5-1	インターポーザ材料の特性比較	30
表7-1	PBGA(Plastic Ball Grid Array)のコンタクト径とピッチのバリエーション	36
表7-2	FBGA/FIBGA(Fine-Pitch Ball Grid Array)のコンタクト径とピッチのバリエーション	37
表7-3	WLBGA(Wafer-Level Ball Grid Array)のコンタクトピッチとボールまたはバンプコンタクト径範囲の比較	38
表9-1	HDI(High Density Interconnect)サブストレート構造の代表的な形体サイズ (単位：μm [mil])	51
表10-1	200-μmのボールが付いた、SOH(Stand-Off Height)が0.4-mm [0.016-in]のPoP(Package-on-Package).	60