

目次

1 適用範囲	1	3.3.4 封止材料	10	
1.1 目的	1	3.4 コスト分析	10	
1.1.1 趣旨	1	3.4.1 製作および製造コストのモデリング	11	
1.2 クラスの分類	1	3.4.2 内蔵回路によるライフサイクルコストへの影響	12	
1.3 計測単位	1	3.5 製品の安全設計に関する考慮事項	13	
1.4 要求事項の定義	1	3.6 ケーススタディと意思決定	13	
1.5 「リード」という表記の使用	1	3.6.1 一般的なケーススタディ	14	
1.6 略語および頭字語	1	3.6.2 内蔵回路のシナリオ	14	
1.7 用語および定義	1	4 部品に関する考慮事項		
1.7.1 能動デバイス	2	4.1 一般的な要求事項	15	
1.7.2 デバイス	2	4.1.1 部品のロバスト性評価	15	
1.7.3 ディスクリート部品	2	4.1.2 試験方法における相関性	15	
1.7.4 内蔵回路	2	4.1.3 ディスクリート部品の値に関する懸念事項	15	
1.7.5 内蔵回路(配置型)	2	4.2 部品の準備	15	
1.7.6 内蔵回路(形成型)	2	4.2.1 受動部品に関する問題点	15	
1.7.7 内蔵回路のベースコア	2	4.2.2 半導体ダイに関する問題点	15	
1.7.8 内蔵回路プリント基板組立品	2	4.2.3 表面領域のリディストリビューション	16	
1.7.9 内蔵回路プリント基板	2	4.3 プロセス後の検証	16	
1.7.10 内蔵回路サブストレート	2	4.4 KGD(Known Good Die)	16	
1.7.11 内蔵受動素子(シート形状)	2	5 材料		
1.7.12 内蔵サブストレート基板	2	5.1 有機樹脂	17	
1.7.13 実装ベース	2	5.1.1 多層プリント基板のスタックアップ設計	17	
1.7.14 受動アレイ(内蔵型)	2	5.1.2 比誘電率の選択	18	
1.7.15 受動部品(素子)	2	5.2 非有機性製品	18	
2 関連文書		5.3 導体特性(Cuはく/薄膜)	18	
2.1 IPC	2	5.4 部品形成用材料	19	
2.2 The American Society of Mechanical Engineers (ASME)	3	5.4.1 内蔵受動部品の選択基準	19	
2.3 IEEE	3	5.4.2 形成型の抵抗器	19	
2.4 SAE International	3	5.4.2.1 厚膜抵抗器	19	
2.5 UL	3	5.4.3 厚膜抵抗器のコストと性能	20	
3 概要		5.4.3.1 厚膜抵抗器の設計	20	
3.1 技術的概要	5	5.4.3.2 厚膜工程の基本	22	
3.1.1 受動抵抗器、コンデンサ、インダクタ	7	5.4.3.3 レーザートリム処理	23	
3.1.2 能動トランジスタ、メモリー、ロジック	8	5.4.3.4 PTF抵抗器の埋め込み工程	24	
3.2 内蔵(配置型)技術	8	5.4.3.5 印刷厚膜の代替工法	24	
3.2.1 受動抵抗器、コンデンサ、インダクタ	8	5.4.3.6 PTF抵抗器の性能に関する期待値	24	
3.2.2 能動トランジスタ、メモリー、半導体	8	5.4.4 シートフィルムタイプの抵抗素子	25	
3.3 材料に関する要求事項	9	5.4.4.1 シートフィルムタイプの抵抗素子に関する		
3.3.1 実装材料	9	設計基準	25	
3.3.2 部品形成材料	10	5.4.4.2 エッチングのばらつきを最少化するための抵抗		
3.3.3 取付け材料	10	器幅の固定	26	

5.4.4.3 抵抗素子形状の計画	26	6.3.5 部品への侵入	37
5.4.4.4 熱的/機械的な間隙の許容差	26	6.4 能動部品の配置	37
5.4.4.5 高分子厚膜抵抗器のイメージング設計ルール のガイドライン	26	6.4.1 装着技術	37
5.4.4.6 抵抗性はくの電力損失能力	27	6.4.2 フリップチップ実装	37
5.4.5 内蔵コンデンサ	27	6.4.3 Au-to-Auのインターフェース(GGI)	38
5.4.5.1 平面コンデンサ	28	6.4.4 フェースアップマイクロビアのインターフェース ..	38
5.4.5.2 電源プレーンとグランドプレーンへの接続	28	6.4.5 ダイの保護工法	39
5.4.5.3 平面コンデンサの分割	29	6.5 工法の組合せに関する考慮事項	39
5.4.5.4 形成型のディスクリートコンデンサ	30	6.5.1 部品タイプの混載	39
5.4.5.5 薄膜コンデンサ用の誘電体	30	6.5.2 配置型と形成型の組合せ	40
5.4.5.6 スクリーン印刷可能なコンデンサ組成物	30	7 実装用ベースと基板のスタックアップに関する 考慮事項	40
5.4.6 形成型のインダクタ	31	7.1 実装用ベース	40
5.4.6.1 単層および多層におけるらせん状インダクタ 設計の原理	31	7.2 配置型部品の表面処理	40
5.4.6.2 形成型インダクタの用途	32	7.2.1 Cu	40
5.4.7 形成型の能動部品	32	7.3 コンデンサ部品の形成工程	40
5.4.7.1 形成型のトランジスタ	32	7.3.1 平面(コンデンサ)部品の静電容量	40
5.4.7.2 形成型のメモリー	32	7.3.2 プレーン層の分離	40
5.4.7.3 形成型のロジック	32	7.3.3 形成型のディスクリートコンデンサ素子	41
5.5 接着剤(導電性/非導電性)	33	7.4 部品の取付け工程	41
5.5.1 高分子接着剤	33	7.5 誘電体の封止	41
5.5.2 ドライフィルム接着剤	34	7.5.1 強化プリフレグ	42
5.6 その他の取付け用材料	34	7.5.2 非強化樹脂	42
5.7 めつき材料の特性(性質、取付け時の適用)	34	7.5.3 樹脂被覆銅(RCC)	43
5.7.1 電極を表面処理する場合の適合性	34	7.6 ビアホールの準備と相互接続性	43
5.8 表面処理	34	7.7 追加層とホールの準備	44
5.8.1 無電解Ni/置換Au (ENIG)	35	7.8 埋め込み構造の名称記述について	48
5.8.2 無電解Ni/無電解Pd/置換Au (ENEPIG)	35	7.8.1 埋め込み構造タイプA	49
5.8.3 水溶性プリフラックス : 有機はんだ付性保護剤 (OSP)	35	7.8.1.1 埋め込み構造タイプA1	49
5.8.4 電解Ni/電解Au	35	7.8.1.2 埋め込み構造タイプA2	50
5.8.5 直接置換Au	35	7.8.1.3 埋め込み構造タイプA3	50
5.8.6 置換Ag	35	7.8.2 埋め込み構造タイプB	51
5.8.7 置換Sn	35	7.8.2.1 埋め込み構造タイプB1	51
6 内蔵回路の工程特性	35	7.8.2.2 埋め込み構造タイプB2	52
6.1 受動部品の形成	35	7.8.2.3 埋め込み構造タイプB3	53
6.1.1 公差能力の評価	35	7.8.3 埋め込み構造タイプC	54
6.2 能動部品の形成	36	7.8.3.1 埋め込み構造タイプC1	54
6.3 能動部品と受動部品の配置	36	7.8.3.2 埋め込み構造タイプC2	54
6.3.1 形状構成	36	7.8.3.3 埋め込み構造タイプC3	55
6.3.2 電極のメタライゼーション	36	7.8.4 埋め込み構造タイプD	56
6.3.3 内蔵する場合の形状と構成に関する考慮事項 ..	37	7.8.4.1 埋め込み構造タイプD1	56
6.3.4 電極の感受性	37	7.8.4.2 埋め込み構造タイプD2	57
		7.8.4.3 埋め込み構造タイプD3	58
		7.8.5 埋め込み構造タイプE	59
		7.8.5.1 埋め込み構造タイプE1	59

7.8.5.2	埋め込み構造タイプE2.....	60	8.4.4	ドライフィルム接着剤.....	81
7.8.5.3	埋め込み構造タイプE3.....	61	8.4.5	取付け用材料の比較	82
7.8.6	構造タイプF1(埋め込みコア技術)の 工程パラメータ	62	8.5	内蔵回路製品のパネライゼーション(面付け) ..	83
8 設計手法	65		8.5.1	Cuはく材料の指定	84
8.1	全回路に関する検討	65	8.5.2	Cuはくに関する要件の決定	84
8.1.1	フェーズ1 – 電気回路の設計.....	65	8.5.3	電源層とグランド層の構築	86
8.1.1.1	回路図キャプチャ	65	8.5.4	セグメント化された電源プレーンの基準	86
8.1.2	フェーズ2 – BOMの準備	66	8.5.5	熱管理	86
8.1.2.1	ネットリスト	66	8.6	配線戦略	86
8.1.3	フェーズ3 – プリント基板の設計	67	8.6.1	ビアのサイズとランド	86
8.1.3.1	CADライブラリ	67	8.6.2	実装ランド	87
8.1.4	フェーズ4 – プリント回路製作の詳細	67	8.6.3	対象ランド	88
8.1.5	内層用部品の実装	68	8.6.3.1	フェースアップによるワイヤーボンディング ..	88
8.1.6	外層用部品の実装	69	8.6.3.2	フェースダウン実装	88
8.1.7	回路インターフェース	70	8.6.4	テストポイント	88
8.1.8	内層に用いるディスクリートヒートシンク	70	8.6.5	工程条件の選択	89
8.2	レイアウト戦略	70	8.6.6	ファブ(Fab)と組立のチェックを確立する	89
8.2.1	製品の機能説明	70	8.7	ドキュメンテーション	89
8.2.2	エンジニアリング部門によるアクション	71	8.7.1	ドキュメンテーションパッケージ	90
8.2.2.1	プロックダイアグラム	72	8.7.1.1	実装ベース用のドキュメンテーションパッケージ	91
8.2.2.2	回路図/論理図に関する記述	72	8.7.1.2	内蔵回路ベースコア用のドキュメンテーションパッケージ	91
8.2.2.3	仮部品表(Preliminary BOM)	73	8.7.1.3	内蔵回路プリント基板用のドキュメンテーションパッケージ	92
8.2.2.4	基板形状	73	8.7.1.4	内蔵回路プリント基板組立品用のドキュメンテーションパッケージ	92
8.2.3	設計密度の分析	74	8.7.2	BOM(部品表)	93
8.2.4	埋め込む部品の候補	74	8.7.3	データ転送用ソフトウェアツール	93
8.2.4.1	能動ダイの埋め込み	74	8.7.4	一般的なルール	94
8.2.4.2	ディスクリート回路の埋め込み	74	8.7.4.1	BOM Elements	94
8.2.4.3	設計概念のレビュー	75	8.7.4.2	BOM Header	94
8.2.4.4	小型製品のフォームファクタ	76	8.7.4.3	BOM Item	94
8.2.4.5	知的財産の保護	76	8.7.4.4	BOM Itemの参照指定子	95
8.2.4.6	信頼性に関する要求事項	76	8.7.4.5	AVL	95
8.2.5	内蔵対象となる回路	76	8.7.4.6	AVL Header	95
8.2.5.1	部品のクリアランス	77	8.7.4.7	AVL Item	95
8.2.5.2	シールドに関する要求事項	78	9 試験と検証	95	
8.2.5.3	差動ペア	79	9.1	電気試験	95
8.2.5.4	外部コンタクトの位置	79	9.1.1	導通試験	95
8.3	プリント基板の層構造と形状	79	9.1.1.1	内蔵デバイスの導通試験	95
8.3.1	半径の曲げとブラインドビア/ベリードビアの 活用	79	9.1.1.2	レーザートリミング	95
8.4	部品の取付け	79	9.1.1.3	内蔵受動部品の値	96
8.4.1	はんだによる取付け	79	9.1.1.4	デバイスが埋め込まれたサブストレートの導通 試験	96
8.4.2	導電性ポリマー	81	9.1.1.5	最終導通試験	96
8.4.3	液状接着剤とペースト状接着剤	81			

9.1.2 機能試験(コンポジット部品または個別部品)	96	11.1 レーザビリティ	104
9.1.2.1 内蔵受動回路の値試験	97	11.2 信頼できる供給者	104
9.1.2.2 内蔵能動回路の試験	97	11.3 工場/工程監査	105
9.1.3 絶縁試験	97	11.4 サイト訪問の手順	105
9.1.4 絶縁抵抗	97	11.5 設計と工程の評価	105
9.1.4.1 絶縁耐電圧、プリント基板 (IPC-TM-650, Method 2.5.7)	97	11.6 観察事項と推奨事項	105
9.1.4.2 耐湿性および絶縁抵抗、プリント基板 (IPC-TM-650, Method 2.6.3)	97	附属書A - 略語と頭字語の索引 106	
9.1.4.3 热ストレス、積層板 (IPC-TM-650, Method 2.6.8.1)	97	図	
9.2 工程認定	97	図3-1 内蔵回路サブストレートの階層構造	4
9.2.1 ストレス試験の概要	98	図3-2 内蔵製品の製造過程	5
9.2.1.1 抵抗/静電容量の熱係数	98	図3-3 コストドライバー(原価作用因)の観点による内蔵受動部品の選択プロセス	5
9.2.1.2 熱老化	98	図3-4 サーペンタイン(蛇行)抵抗素子	7
9.2.1.3 湿度への暴露	98	図3-5 積層内誘電体コンデンサ素子	7
9.2.1.4 熱衝撃	98	図3-6 インダクタが設計されたCuパターン	7
9.2.2 規格書の適用	98	図3-7 プリント基板の内層面に取り付けられた内蔵ディスクリート受動素子	8
9.3 テストクーポン	99	図3-8 部品パッケージインターポーラーへのプロセスダイの埋め込み	9
9.3.1 工程検証用クーポン	99	図3-9 単一の半導体素子をパッケージングするための多層セラミックサブストレート	9
9.3.2 製品検証用クーポン	99	図3-10 有機ベースの多層回路構造	10
9.3.3 追加試験	99	図4-1 ワイヤーボンディングサイトのリディストリビューションによる均一なアレイコントラクトパターン	16
9.4 リペアまたは改造	99	図5-1 カーボン(充填)厚膜抵抗器の例	19
9.4.1 受動回路	100	図5-2 内蔵(形成型)抵抗素子の断面部	20
9.4.1.1 抵抗器	100	図5-3 印刷された厚膜抵抗素子の形状	20
9.4.1.1.1 プリント抵抗器	100	図5-4 100Ωの高分子(厚膜)抵抗の直線性	20
9.4.1.1.2 配置型の抵抗器	100	図5-5 PTF抵抗器の主な特性	21
9.4.1.1.3 エッチングによって形成された抵抗器	100	図5-6 より大きな値を得るための調整	21
9.4.1.2 コンデンサ	100	図5-7 PTF印刷におけるランドパターン形状の補正	21
9.4.1.2.1 プリントコンデンサ	100	図5-8 サーペンタイン(蛇行)形状に構成された抵抗素子	22
9.4.1.2.2 配置型のコンデンサ	100	図5-9 サーペンタイン(蛇行)形状抵抗素子のフットプリント	22
9.4.1.2.3 エッチングにより形成されたコンデンサ	100	図5-10 印刷とオーブン硬化の順序	23
9.4.2 能動回路	100	図5-11 トリプルプランジレーザートリミング(左)と標準的なLカットトリミング(右)	23
9.4.2.1 半導体とフリップチップ	100	図5-12 伝統的な工法による内蔵回路プリント基板の積層工程順序	24
9.4.3 パネルのリペアと改造	100	図5-13 リバースラミネーション工法による内蔵回路プリント基板の積層工程順序	24
10 組立後の特性	100	図5-14 薄膜抵抗器の形成工程	25
10.1 信頼性に関する考慮事項	100	図5-15 CuとR(抵抗)素子の幅が均一な、直列結合抵抗器の構成	26
10.2 信頼性設計(DfR)	101	図5-16 抵抗素子を最大限に離し、ドリル作業中の物理的ストレスによる損傷の可能性を最小化した例	26
10.3 最終用途との関係	102		
10.4 Pbフリー材料、純Sn仕上げと信頼性	102		
10.5 信頼性のための検証、認定および加速老化試験	102		
10.6 欠陥と故障の解析	103		
10.7 組立後の故障	104		
11 供給者の選定と認定	104		

図5-17 抵抗器の長さの定義.....	27	図7-13 タイプA3の工程フロー	51
図5-18 抵抗器の幅の定義.....	27	図7-14 タイプB1のベースコアの例：両面に受動部品 が配置されている場合	52
図5-19 グランドプレーン内の抵抗器の例	28	図7-15 タイプB1の工程フロー	52
図5-20 平面コンデンサの例	28	図7-16 タイプB2のベースコアの例：両面に能動部品 が配置されている場合	52
図5-21 電源プレーンとグランドプレーンのインターフ ェース.....	29	図7-17 タイプB2の工程フロー	53
図5-22 分割した平面コンデンサ.....	29	図7-18 タイプB3のベースコアの例：両面に受動部品 と能動部品が配置されている場合	53
図5-23 形成型のディスクリートコンデンサ素子	30	図7-19 タイプB3の工程フロー	53
図5-24 プリントAg電極を有するプリントコンデンサ素子 ..	30	図7-20 タイプC1のベースコアの例：実装ベース内に 形成型の受動部品が実装されており、実装ベ ースの片面に受動部品が配置されている場合 ..	54
図5-25 エッチングされたらせん状のCuインダクタパ ターン.....	31	図7-21 タイプC1の工程フロー	54
図5-26 らせん状インダクタのプランニングガイド.....	32	図7-22 タイプC2のベースコアの例：実装ベース内に 形成型の受動部品が実装されており、実装ベ ースの片面に能動部品が配置されている場合 ..	55
図5-27 らせん状インダクタの形状バリエーション.....	32	図7-23 タイプC2の工程フロー	55
図5-28 インダクタ設計用ソフトウェアツールの例	33	図7-24 タイプC3のベースコアの例：実装ベース内に 形成型の受動部品が実装されており、実装ベ ースの片面に受動部品と能動部品が配置され ている場合	56
図5-29 接着剤塗布とダイ装着	33	図7-25 タイプC3の工程フロー	56
図5-30 配置型内蔵受動デバイスの取付け方法の 比較.....	34	図7-26 タイプD1のベースコアの例：実装ベース内に 形成型の受動部品が実装されており、実装ベ ースの両面に受動部品が配置されている場合 ..	57
図6-1 誘電体上のプリント能動部品	35	図7-27 タイプD1の工程フロー	57
図6-2 小型抵抗器の外形寸法	36	図7-28 タイプD2のベースコアの例：実装ベース内に 形成型の受動部品が実装されており、実装ベ ースの両面に能動部品が配置されている場合 ..	58
図6-3 セラミックベースの抵抗素子	36	図7-29 タイプD2の工程フロー - 両面に能動部品を配 置する工法	58
図6-4 半導体ダイ素子	37	図7-30 タイプD3のベースコアの例：実装ベース内に 形成型の受動部品が実装されており、実装ベ ースの両面に受動部品と能動部品が配置され ている場合	59
図6-5 一般的な端子接続のバリエーション：フェー スアップによる半導体のインターフェース	37	図7-31 タイプD3の工程フロー	59
図6-6 内蔵半導体を実装するためのAu-to-Auインタ フェース (GGI)	38	図7-32 タイプE1の実装ベースの例：実装ベース内に 形成型の受動部品が実装されており、さらに片 面または両面に追加層を形成して内蔵回路プリ ント基板を完成させる場合	60
図6-7 フェースアップ実装された半導体と固体Cu めつきされたマイクロビアのインターフェース	38	図7-33 タイプE1の工程フロー	60
図6-8 形成型のらせん状インダクタパターン	39	図7-34 タイプE2の実装ベースの例：実装ベース内に 形成型の受動部品が実装されており、製品を ベースコアに転換して部品実装が可能な状態に し、内蔵回路基板組立品を完成させる場合 ..	60
図6-9 形成型のディスクリートコンデンサ	39	図7-35 タイプE2の工程フロー	61
図7-1 パターン印刷されたディスクリートコンデンサ 素子の工程フロー	41	図7-36 タイプE3の実装ベースの例：実装ベース内に 形成型の受動部品が実装されており、さらに片 面または両面に追加層を形成して内蔵回路プリ ント基板を部品実装に対応できるように準備し、 内蔵回路基板組立品を完成させる場合	61
図7-2 マイクロビアを使い端子接続をした受動部品 ..	44	図7-37 タイプE3の工程フロー	61
図7-3 Cuめつきが施された端子に直接的にマイクロ ビアを接続処理した配置型の受動部品	44		
図7-4 内蔵(埋め込み)回路のベースコアに位置する 形成型の抵抗器とコンデンサ	44		
図7-5 内蔵回路ベースコアの実装用ベース構造 の例	45		
図7-6 プリント基板の製作と組立に関する専門用語 - 設計から完成品まで	46		
図7-7 内蔵回路基板組立品の密度実現可能性評価 前に行われる設計レイアウトステップ	47		
図7-8 タイプA1のベースコアの例：片面に受動部品 が配置されている場合	49		
図7-9 タイプA1の工程フロー	49		
図7-10 タイプA2のベースコアの例：片面に能動部品 が配置されている場合	50		
図7-11 タイプA2の工程フロー	50		
図7-12 タイプA3のベースコアの例：片面に受動部品 と能動部品が配置されている場合	51		

図7-38	埋め込みコアの工程概要.....	62
図7-39	能動部品を配置したコアとHDI多層構造を形成する2つのビルドアップ層.....	63
図7-40	タイプF1のSiPの例：Cuはくのベース上に受動部品と能動部品をフェースダウンで配置し、外層表面に部品を実装できるようにした場合.....	63
図7-41	タイプF1のSiPの例：Cuはくのベース上に受動部品と能動部品をフェースダウンで配置し、外層表面に部品を実装できるようにした場合.....	63
図7-45	タイプF1のバリエーション、プロセッサを埋め込んだSiP	64
図7-42	タイプF1のシステムインパッケージの工程フロー.....	64
図7-43	タイプF2のシステムインボードの例：Cuはくベース上に受動部品と能動部品をフェースダウンで配置し埋め込む場合	64
図7-44	タイプF2のシステムインボードの工程フロー ..	64
図8-1	電子部品の記号と関連する参考指定子	65
図8-2	内蔵回路の選定	66
図8-3	4層プリント基板のアートワーク	67
図8-4	誘電体内に設けられたキャビティ(高さのある部品の場合)	68
図8-5	フェースアップ実装でキャビティ内にダイ装着し、マイクロビインターフェースを形成する場合 ..	69
図8-6	ワイヤレスとポータブルの製品市場を牽引する品目	71
図8-7	機能ブロック図の例	72
図8-8	標準的なプラグインモジュール基板における有効面積の例	74
図8-9	ディスクリートチップ部品のサイズと取付け技術各種との比較.....	75
図8-10	さまざまなスタックアップ層構造の例	75
図8-11	小さなフォームファクタによる最終組立品の例 ..	76
図8-12	基本的な4層回路の構造	78
図8-13	高感度回路用のグランド導体のシールド	78
図8-14	ソルダペーストシリンジ	79
図8-15	半導体ウエハー上に適用された、ダイ装着用ドライフィルム材料	82
図8-16	熱可塑性樹脂のボンディングに関する工程ウインドウ	83
図8-17	パネルに面付けされた6枚の内蔵回路プリント基板：機械式ルータ加工で個片化するためのクリアランスが設けられた例	84
図8-18	分割された電源プレーンのトポロジー比較本図の出典：Altera Corporation.....	86
図8-19	プリント基板のビアのバリエーション.....	87
図8-20	ブラインドビアの充填バリエーション.....	87
図8-21	ワイヤーボンディングによる端子処理：フェースアップで内蔵する能動ダイ素子の場合	88
図8-22	コンタクトバリエーション：フェースダウンで内蔵するダイ組立の場合	88

図8-23	フライングプローブ試験装置	88
図8-24	ハードコピーと電子ドキュメンテーションパッケージの比較	89
図8-25	標準的なドキュメンテーション階層における区分単位のディスクリプションとデータの流れ	90
図8-26	BOMアクティビティの要求事項	94
図9-1	受動部品のベースコア試験	96
図9-2	デバイスが埋め込まれたサブストレート	96
表		
表3-1	受動部品の選択基準	6
表3-2	一般的な厚膜/薄膜セラミック技術	7
表3-3	部品を埋め込む場合の決定プロセスに影響を与える因子	11
表3-4	ケーススタディ例	14
表4-1	ペアダイの品質分類	16
表5-1	一般誘電材料の典型的な特性	17
表5-2	標準銅はくの厚さ	18
表5-3	形成型抵抗器用材料のバリエーション	19
表5-4	抵抗に関するサマリー	25
表5-5	電気的特性	25
表6-1	01005と0201サイズの抵抗器の寸法と最大重量	36
表7-1	表面処理の適合性：下面電極部品を内蔵回路サブストレートに取り付ける場合	40
表7-2	組立工程の温度暴露レベル	41
表7-3	内蔵回路のベースコアに関する記述	48
表7-4	タイプF1とF2の内蔵回路のベースコアに関する工法記述	62
表8-1	意思決定のため的一般ルール	71
表8-2	埋め込み設計における外注モデルタイプ	72
表8-3	プリプレグ材料のスタイルと厚さに関するガイド ..	77
表8-4	EMI/RFIを抑制するための主な設計対策	78
表8-5	はんだ粉末のタイプ	80
表8-6	はんだ合金組成の選択	80
表8-7	取付け用材料の属性	81
表8-8	接着材料の属性	82
表8-9	外層の通電容量と定格電流	85
表8-10	内層の通電容量と定格電流	85
表8-11	ドキュメントパッケージのグレード	91
表8-12	ファイルのセグメント化と機能に関する要求事項	93
表9-1	製品カテゴリー	97
表9-2	工程認定に関する推奨事項	98
表9-3	埋め込みベースコアのリワークとリペアに関する推奨事項	99
表10-1	温度サイクルに関する要求事項、指定条件内の指定/推奨パラメータ	103